

УДК 004

Аракелян Ваге Авагович

ЗАО Синописис Армения
Армения, Ереван
Магистр, Старший Инженер
E-Mail: vahearakelyan86@yahoo.com

Ванецян Давит Каренович

Московский Институт Электронной Техники
Россия, Зеленоград
Аспирант, Магистр
E-Mail: dvanetsyan@yahoo.com

Метод анализа изменений параметров транзистора, вызванных стрессами переходных отверстий сквозь кремний

Аннотация: Непрерывное масштабирование КМОП-технологий привело к тому, что проектировать надежные интегральные схемы становится все сложнее.

Трехмерная интеграция позволяет создавать системы с высокой степенью интеграции, путём вертикальной укладки друг на друга и соединения различных слоёв, в частности, полупроводниковых кристаллов. Для трехмерной интеграции используются сквозные отверстия сквозь кремний - TSV (through silicon vias). Использование данной технологии сокращает энергопотребление и увеличивает пропускную способность, но необходимо учитывать механический стресс обусловленный разницей тепловых характеристик меди, из которой обычно делается TSV и кремниевой подложки.

Для решения проблемы анализа влияния стрессов на параметры транзистора предлагается новая эффективная методика. Предлагаемый подход основан на применении двух методов: метод конечных элементов (МКЭ) и метод линейной суперпозиции (МЛС).

Для расчета изменений подвижности носителей и порогового напряжения транзисторов в первую очередь, анализируется тепловой стресс по контуру вблизи поверхности кремния, в случае одного и нескольких TSV.

Ключевые слова: 3D ИС, сквозные отверстия сквозь кремний (TSV), статический временной анализ, метод конечных элементов, метод линейной суперпозиции.

Ключевые слова: Трехмерные интегральные схемы; сквозные отверстия сквозь кремний; статический временной анализ; метод конечных элементов; метод линейной суперпозиции; механический стресс, распределение стресса.

Идентификационный номер статьи в журнале 126TVN613

Vahe Arakelyan
Synopsys Armenia CJSC
Armenia, Yerevan
E-Mail: dvanetsyan@yahoo.com

Davit Vanetsyan
Moscow Institute of Electronic Technology
Russia, Zelenograd
E-Mail: vahearakelyan86@yahoo.com

Analysis method of transistor parameter changes caused by transient stresses holes through the silicon

Abstract: As continued scaling of CMOS technology, the design of integral circuits with high performance becomes increasingly difficult.

The three dimensional integration allows creating systems with high level of integration by vertical stacking multiple processed wafers containing integrated circuits. Through-silicon vias (TSVs) are used for three dimensional integration. This technology is good solution to achieve higher bandwidth and power efficiency, but it is important to take in account the mechanical stress induced by thermal mismatch between copper from which TSVs are used to create and the silicon bulk.

In this work, we propose an effective flow to characterize the influence of TSV stress on parameters of transistors. The proposed approach is based on the method of finite element analysis and the method of linear superposition.

For transistor mobility and threshold voltage variations calculation first of all, we analyze the thermal stress contour near the silicon surface with single and multiple TSVs.

Keywords: Three dimensional integral circuit; through silicon vias; static timing analysis; method of finite elements; method of linear superposition; mechanical stress; stress distribution.

Identification number of article 126TVN613

Введение

Продолжающееся масштабирование микроэлектронных устройств приводит к серьезным трудностям при выполнении технологических процессов и создании межкристаллических соединений, особенно когда речь идет о технологиях на 28нм и ниже.

Проектирование и производство разных технологий по вертикальной структуре предоставляет возможность улучшения быстродействия и интеграции устройств разных технологий [1], [2].

TSV связывают разные структуры кристаллов и дают возможность для дальнейшего развития 3D технологии. Однако дополнительные этапы процессов производства и физическое присутствие TSV могут вызвать механический стресс, а далее - изменение параметров транзисторов. Стресс в кремнии возникает во время тепловой обработки, что обусловлено разностью коэффициентов теплового расширения меди TSV [$16.6 \cdot 10^{-6} \text{ м}/(\text{м}^\circ\text{C})$] и кремния [$5.1 \cdot 10^{-6} \text{ м}/(\text{м}^\circ\text{C})$] [3]. Механический стресс можно разложить по двум направлениям: радиальное и тангенциальное (касательное) (рис.1).

Такие стрессы влияют на подвижность носителей и на пороговые напряжения ближайших транзисторов.

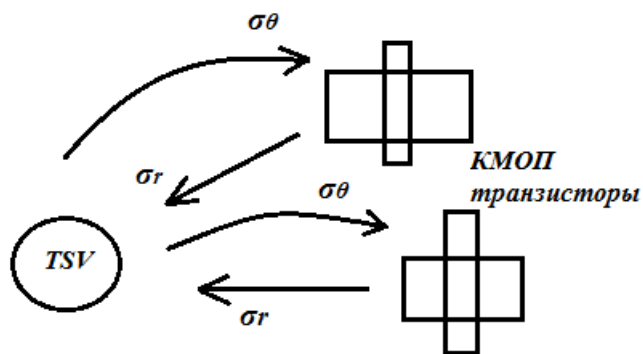


Рис. 1. Влияние компонент стрессов TSV на транзисторы, где σ_r - радиальное, а σ_θ - тангенциальное

Описанные эффекты могут вызвать временные нарушения в цифровых схемах и несоответствия токов в аналоговых схемах. Известны несколько статей, посвященные методам анализа влияния термо-механических стрессов TSV на подвижность носителей (mobility) транзисторов. [4], [5], [6], [7]. В [4] приведена аналитическая формулировка задачи распределения стрессов вокруг TSV, которое представляет собой решение задачи Лейма. Позже эта модель была расширена с учетом эффекта воздействия TSV стрессов на подвижность носителей, которое приводит к деградациям временных параметров цифровых схем [6]. Такой подход делает возможным вычисления распространения идеального стресса на подложке кремния, однако не позволяет учитывать нерегулярную структуру подложки, эффект концентрации стрессов на поверхности кремния, где находятся каналы транзисторов. Чтобы учитывать распределение стрессов вблизи поверхности, был предложен полу-аналитический метод [5]. Однако этот метод был применим только для одиночной TSV с большим соотношением сторон. Также был применен метод конечных элементов (МКЭ) для численного моделирования термо-механических стрессов и вариаций параметров устройств [7]. Однако, часто очень сложно сделать этот анализ на уровне схемы, так как необходимы колоссальные компьютерные ресурсы. Был также разработан принцип линейной

суперпозиции компонентов стресса [8]. Ни один из методов не даёт точной и эффективной оценки воздействия TSV стрессов на характеристики схемы. Проблема остается открытой.

В данной статье предложена новая методика и методология анализа характеристик транзисторов и схем, которые находятся под влиянием TSV стрессов. На основе результатов симуляции методом конечных элементов для одного TSV, и с учетом влияния подложки, линейности SiO₂ и концентрации стрессов, был применен метод линейной суперпозиции для анализа распределения стрессов для нескольких TSV по кристаллу.

Была получена точная аналитическая модель влияния TSV стрессов на подвижность носителей и на изменение порогового напряжения транзисторов, которое можно учитывать в схеме после экстракции. Проведено сравнение полученных результатов на основе предлагаемого метода с результатами, полученными на основе существующих методов.

Моделирование TSV на основе метода конечных элементов

В разделе приводятся результаты расчета распределения стрессов, вызванных одиночной TSV, методом конечных элементов. Далее методом линейной суперпозиции результат применяется для составных TSV. Базисом для вычисления вариаций порогового напряжения является конкретный контур стресса.

А) МКЭ модель для изолированной TSV

Чтобы изучать распределение стресса изолированной TSV с учетом влияния подложки SiO₂, использован коммерческий пакет Comsol, работа которого основана на методе конечных элементов. Во время симуляции структура считается осесимметричной. Предельными условиями для вычисления процессов TSV стрессов являются значения температуры от 25 до 400 °С [4] [7]. Направление кремниевой подложки выбрано (100)/(110), КМОП транзисторы расположены на поверхности кремния. Травление (etched) для TSV имеет место на глубине 30мкм и диаметром 5мкм.

Свойства материалов, которые использовались следующие: коэффициент теплового расширения (ppm/°C): Cu=17.7, Si=3.05, SiO₂=0.5; модули Юнга: (GPa): E_{Cu}=70, E_{Si}= 130 и E_{SiO₂}=70; коэффициент Пуассона: $\nu_{Cu}=0.34$, $\nu_{Si}=0.28$ и $\nu_{SiO_2}=0.17$.

На рис. 2 показаны результаты МКЭ распределения стресса вокруг TSV. Концентрация стресса может больше увеличить стресс на поверхности подложки кремния, чем в подложке.

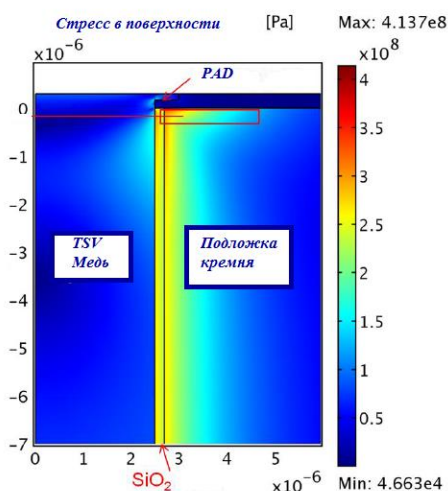


Рис. 2. Распределение стресса на поверхности вокруг TSV

Поскольку структура TSV симметрична к оси и кремний предполагается изотропный, мы приняли цилиндрическую систему первой степени и перешли к Декартовой системе координат. В нашей симуляции распределение стресса имеет 2 основных компонента (тензор): σ_r и σ_θ , как показано на рис. 1. Далее мы сравнили распределение стресса в подложке кремния и на поверхности, используя оба подхода МКЭ и решение уравнения 2D модели Лейма (Рис 3). Оно показывает, что метод Лейма хорошо рассчитывает стрессы в подложке, однако неправильно рассчитывает нерегулярное распределение стресса на поверхности.

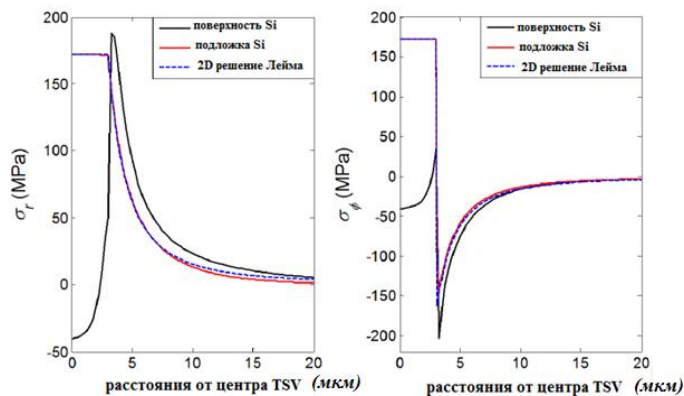


Рис. 3. Эффект стресса TSV на σ_r и σ_θ

Б) Стресс контур в случае составных TSV

МКЭ дает точное распределение стресса по оси в случае одного TSV, но метод не может применяться в случае расчета по всему кристаллу, причиной является необходимость большого компьютерного ресурса. Тем не менее, у нас есть способ анализа распределения стресса в случае составных TSV по кристаллу, поскольку TSV структуры повторяемые и компоненты стрессов линейно накладываемые в масштабах стресса, вызванного TSV [8]. Но прежде чем делать это, надо перейти от цилиндрической системы координат к декартовой от $T^{\wedge}r\varphi z$ к $T^{\wedge}_{[110]}$ по трем координатам на $[110]$ $[1\bar{1}0]$ и $[001]$ соответственно, согласно направлению каналов транзисторов. Метод описан в Аппендикс 1, где α - это угол между координат x и линией, которая связывает центр TSV с точкой, где моделируется значение стресса, $\theta = 0$. Рисунок 4 показывает контур стресса TSV для α_{00} и α_{90} после трансформации координатной системы. Потом мы можем применять метод линейной суперпозиции на любой точке, суммируя компоненты стрессов разных TSV.

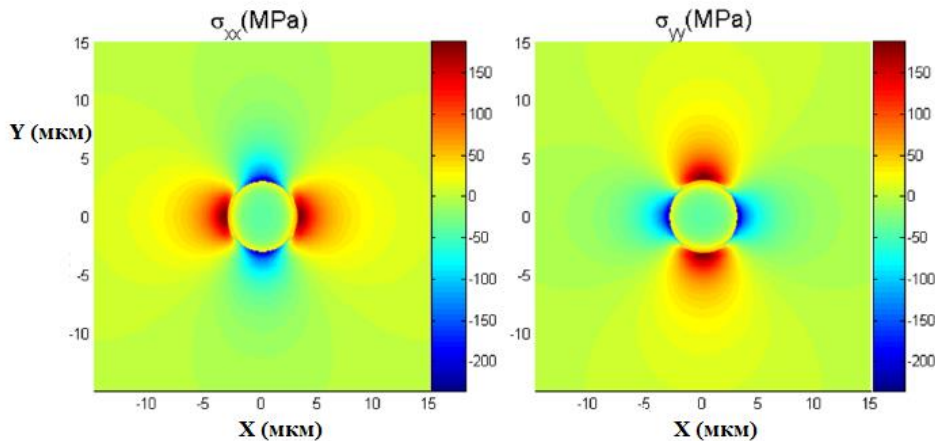


Рис. 4. $\sigma_{xx}\sigma_{yy}$ контуры

Изменение подвижности носителей и порогового напряжения, вызванное стрессом TSV

С использованием результатов симуляции МКЭ и метода суперпозиции мы рассчитали стресс на транзисторы. Чтобы оценить $\Delta\mu/\mu$ и $\Delta V_{th}/V_{th}$ как функцию стресса, приложенного на транзистор как соотношение к параметрам без стресса, далее будем развивать соответствующую модель вариации, объединяя теорию линейной пьезорезистивности и расчета энергии. Эта модель проверена на опубликованные результаты моделирования устройств.

А) Моделирование вариации подвижности носителей

Вариация подвижности носителей, которая соответствует быстродействию транзисторов, это одно из главных последствий, вызванных стрессами. В новых технологиях и непреднамеренные, и преднамеренные стрессы влияют на характеристики транзисторов.

Чтобы лучше иллюстрировать изменения подвижности и порогового напряжения, предполагаем, что окружающая среда вокруг TSV неизменна и только меняется расположение TSV. Поэтому мы можем решить эту задачу как добавление вариации маленького стресса к большой фиксированной точке стрессов (общий стресс, вызванный другими источниками стрессов). Поскольку TSV стресс небольшой (<200MPa) по сравнению с общим стрессом (несколько GPa), то этот подход имеет хорошую линейность.

Модель линейной пьезорезистивности - самая распространенная модель для описания эффекта [9]. Действительность модели проверена коэффициентами, взятыми от вычислений и от измерений [10]. Поскольку координаты уже соответствуют каналам транзисторов, используется хорошо известное уравнение для изменения подвижности.

$$\Delta\mu/\mu = \Pi_L \cdot \sigma_{xx} + \Pi_T \cdot \sigma_{yy} \quad (1)$$

Где Π_L и Π_T представляют продольные и поперечные коэффициенты для (100)/(110). Заметим, что под коэффициентами должны учитываться эффекты, вызванные легированием канала [11].

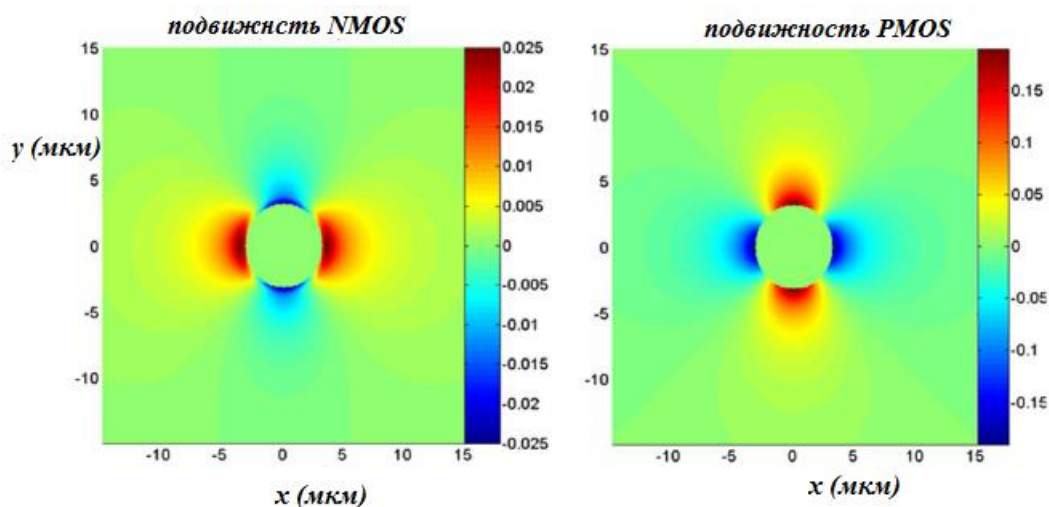


Рис. 5. Сравнение изменений подвижности в транзисторах n и p типов

Сравнение результатов моделирования контуров подвижностей для транзисторов n и p типов, отображены на рисунке 5. Оказывается, что транзисторы n типа почти невосприимчивы

к стрессу, этот результат отличается от результата [6], где подвижность носителей транзистора n типа тоже сильно меняется под воздействием стресса TSV. Это объясняется тем, что коэффициенты пьезорезистивности склонны нейтрализовать друг друга в случае транзистора n типа, в уравнении (1). В случае транзисторов p типа ситуация обратная: ПЛ и ПТ имеют такие значения, что два компонента складываются. Кроме того, подвижность невосприимчива к TSV стрессам по вертикальной оси, потому что стресс среза не способствует изменению подвижности носителей.

Правильность расчета на основе МКЭ и модель подвижности проверены с помощью 3D МКЭ моделирования устройств [12](Рис. 6). Изменение подвижности носителей, предсказанное 2D решением Лейма, совпадает с результатами в общих чертах, максимальное отклонение по сравнению с более реальной моделью составляет примерно 3%.

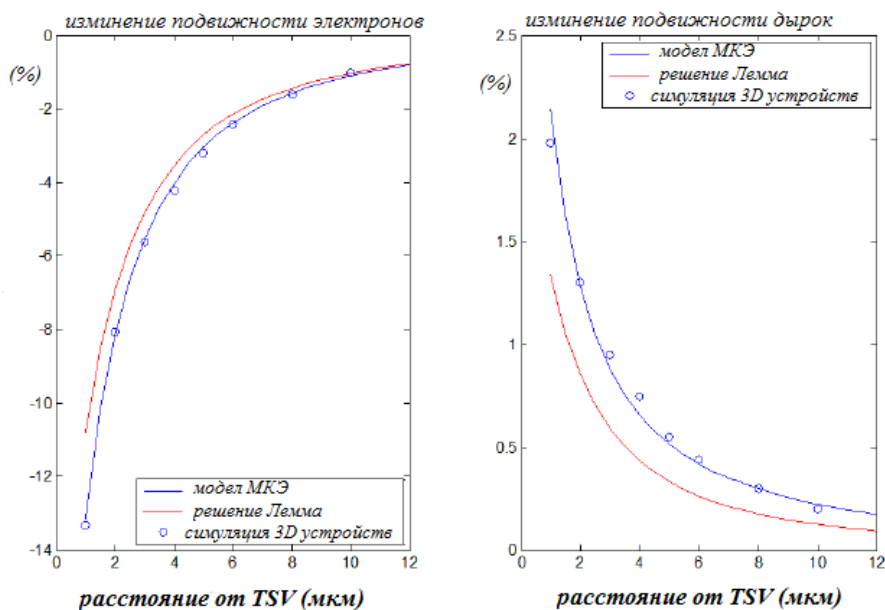


Рис. 6. Зависимость изменения подвижности от расстояния от TSV [12]

Б) Моделирование порогового напряжения

TSV стресс также влияет на пороговое напряжение транзисторов, потому что напряжение может вызвать сдвиги и расколы валентной зоны. Тем не менее, в теории пьезосопротивления нет интуитивного пути для описания этого эффекта с помощью коэффициентов, с помощью непосредственных измерений. Для расчета влияния TSV стресса на пороговое напряжение вводится теория потенциала деформации. Так как напряжение является главной причиной расщепления энергетических зон, нам надо перейти от текущей системе координат T[110] к кристаллографической, как описано в аппендикс А, где $\alpha=45^\circ$ а $\theta=0$. Далее делается переход от стресса к напряжению как описано в аппендикс Б. После этого сдвиг расщепления валентной зоны ΔE_V и зоны проводимости ΔE_C могут быть рассчитаны с помощью следующих уравнений [13]:

$$\Delta E_C^{(i)}(\sigma) = \Xi_d(\epsilon_1 + \epsilon_2 + \epsilon_3) + \Xi_u \epsilon_i \quad (2)$$

$$\Delta E_V(\sigma) = a(\epsilon_1 + \epsilon_2 + \epsilon_3) + [b^2(\epsilon_2 - \epsilon_3)^2 + d^2 \epsilon_6^2 / 4]^{1/2} \quad (3)$$

Значения постоянных потенциалов приведены в таблице 1:

Таблица 1

Значения постоянных потенциалов

| | Ξ_d | Ξ_u | a | b | d |
|---------------------------|---------|---------|------|-------|-------|
| Потенциал деформации (эВ) | 1.13 | 9.16 | 2.46 | -2.35 | -5.08 |

Учитывая ΔE_V и ΔE_C , можно описать отклонение порогового напряжения [14]:

$$\Delta V_{thn}(\sigma) = -m\Delta E_C + (m - 1)\Delta E_V \quad (4)$$

$$\Delta V_{thn}(\sigma) = (m - 1)\Delta E_C - m\Delta E_V \quad (5)$$

Результаты симуляции контуров изменения порогового напряжения показаны на рисунке 7, где x и y оси совпадают с $[110]$, $[1\bar{1}0]$.

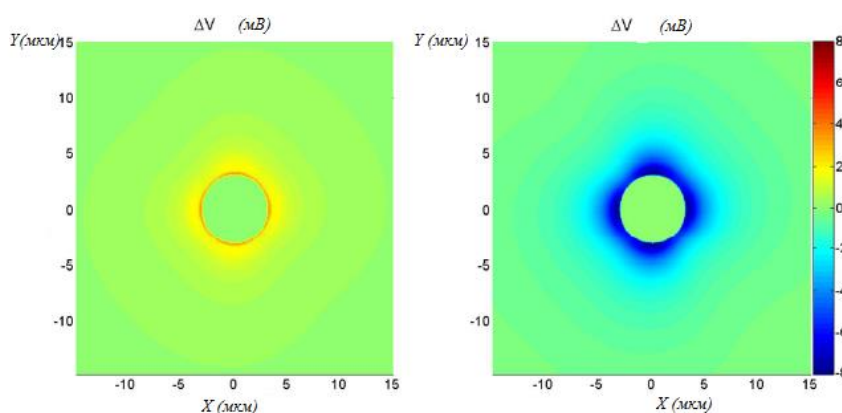


Рис. 7. Сравнение изменений пороговых напряжений для n и p транзисторов

Так как мы учитывали стрессы с обеих сторон, то изменение ΔV_{th} получилось меньше, чем [14]. Учитывая, что пороговое напряжение в развитых технологиях равняется примерно 100мВ, то отклонение, вызванное стрессом TSV, будет составлять максимум 8%.

Аппендикс А. Переход координатных систем

$$U(\theta, \phi) = \begin{bmatrix} \cos \theta \cos \phi & \cos \theta \sin \phi & -\sin \theta \\ -\sin \phi & \cos \phi & 0 \\ \sin \theta \cos \phi & \sin \theta \sin \phi & \cos \theta \end{bmatrix}$$

$$\hat{T}^{new} = U \cdot \hat{T} \cdot U^T$$

Аппендикс Б. Соотношение стресса и напряженности

$$\begin{bmatrix} \epsilon_1 \\ \epsilon_2 \\ \epsilon_3 \\ \epsilon_4 \\ \epsilon_5 \\ \epsilon_6 \end{bmatrix} = \begin{bmatrix} s_{11} & s_{12} & s_{12} & 0 & 0 & 0 \\ s_{12} & s_{11} & s_{12} & 0 & 0 & 0 \\ s_{12} & s_{12} & s_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & s_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & s_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & s_{44} \end{bmatrix} \begin{bmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \\ \sigma_{yz} \\ \sigma_{zx} \\ \sigma_{xy} \end{bmatrix}$$

Заключение

В данной статье предложена методика характеристики влияния стрессов TSV на параметры транзистора. На уровне характеристики стрессов было показано насколько реально процессы и структуры влияют на распределение стресса, было показано, как перейти от МКЭ к матрице компонентов стресса. На уровне моделирования устройств была предложена быстрая и точная модель для расчета изменений подвижности носителей и порогового напряжения, обусловленного стрессами TSV.

ЛИТЕРАТУРА

1. S. Gu, P. Marchal, M. Facchini, F. Wang, M. Suh, D. Lisk, and M. Nowak, "Stackable memory of 3D chip integration for mobile applications," IEEE International Electron Devices Meeting, pp. 33.4.1–33.4.4, 2008.
2. Строгонов А., Цыбин С., Быстрый А. _ Трехмерные интегральные схемы 3Д БИС// Компоненты и технологии 2011
3. A. Mercha, A. Redolfi, M. Stucchi, N. Minas, J. Van Olmen, S. Thangaraju, D. Velenis, S. Domae, Y. Yang, G. Katti, R. Labie, C. Okoro, M. Zhao, P. Asimakopoulos, I. De Wolf, T. Chiarella, T. Schram, E. Rohr, A. Van Ammel, A. Jourdain, W. Ruythooren, S. Armini, A. Radisic, H. Philipsen, N. Heylen, M. Kostermans, P. Jaenen, E. Sleenckx, D. Sabuncuoglu Tezcan, I. Debusschere, P. Soussan, D. Perry, G. Van der Plas, J. Cho, P. Marchal, Y. Travaly, E. Beyne, S. Biesemans, and B. Swinnen, "Impact of thinning and through silicon via proximity on high-k / metal gate first CMOS performance," IEEE VLSI Technology Symposium, pp. 109–110, 2010.
4. K. Lu, X. Zhang, S.-K. Ryu, J. Im, R. Huang, and P. Ho, "Thermomechanical reliability of 3-D ICs containing through silicon vias," Electronic Components and Technology Conference, pp. 630–634, May 2009.
5. S. Ryu, K. Lu, X. Zhang, J. Im, P. Ho, and R. Huang, "Impact of near-surface thermal stresses on interfacial reliability of through-silicon vias for 3-D interconnects," IEEE Transactions on Device and Materials Reliability, vol. 11, pp. 35–43, Mar. 2011.
6. J.-S. Yang, K. Athikulwongse, Y.-J. Lee, S. K. Lim, and D. Pan, "TSV stress aware timing analysis with applications to 3D-IC layout optimization," 47th ACM/IEEE Design Automation Conference, pp. 803–806, 2010.
7. A. Mercha, G. Van der Plas, V. Moroz, I. De Wolf, P. Asimakopoulos, N. Minas, S. Domae, D. Perry, M. Choi, A. Redolfi, C. Okoro, Y. Yang, J. Van Olmen, S. Thangaraju, D. Tezcan, P. Soussan, J. Cho, A. Yakovlev, P. Marchal, Y. Travaly, E. Beyne, S. Biesemans, and B. Swinnen, "Comprehensive analysis of the impact of single and arrays of through silicon vias induced stress on high-k / metal gate cmos performance," IEEE International Electron Devices Meeting, pp. 2.2.1–2.2.4, 2010.
8. M. Jung, J. Mitra, D. Pan, and S. Lim, "TSV stress-aware full-chip mechanical reliability analysis and optimization for 3D IC (preprint)," 48th ACM/IEEE Design Automation Conference, pp. 803–806, 2011.
9. Yozo Kanda, "A Graphical Representation of the Piezoresistance Coefficients in Silicon," 1981.
10. Bufler, A. Erlebach, and M. Oulmane, "Hole mobility model with silicon inversion layer symmetry and stress-dependent piezoconductance coefficients," IEEE Electron Device Letters, vol. 30, no. 9, pp. 996–998, 2009.

11. S. Thompson, G. Sun, Y. S. Choi, and T. Nishida, "Uniaxial-process-induced strained-si: extending the cmos roadmap," IEEE Transactions on Electron Devices, vol. 53, pp. 1010–1020, May 2006.
12. V. Moroz, "The impact of TSV arrays on transistor performance," IEEE Workshop on Variability Modeling and Characterization, 2010.
13. J.-S. Lim, S. Thompson, and J. Fossum, "Comparison of threshold voltage shifts for uniaxial and biaxial tensile-stressed n-MOSFETs," IEEE Electron Device Letters, vol. 25, no. 11, pp. 731–733, 2004.
14. W. Zhang and J. Fossum, "On the threshold voltage of strained-Si-SiGe MOSFETs," IEEE Transactions on Electron Devices, vol. 52, no. 2, pp. 263–268, 2005.

Рецензент: Ованесян Давит Леонович, д.ф.-м.н., ЗАО Синописис Армения.

REFERENCES

1. S. Gu, P. Marchal, M. Facchini, F. Wang, M. Suh, D. Lisk, and M. Nowak, "Stackable memory of 3D chip integration for mobile applications," IEEE International Electron Devices Meeting, pp. 33.4.1–33.4.4, 2008.
2. Strogonov A., Cybin S., Bystrjksj A. _ Trehmernye integral'nye shemy 3D BIS// Komponenty i tehnologii 2011
3. A. Mercha, A. Redolfi, M. Stucchi, N. Minas, J. Van Olmen, S. Thangaraju, D. Velenis, S. Domae, Y. Yang, G. Katti, R. Labie, C. Okoro, M. Zhao, P. Asimakopoulos, I. De Wolf, T. Chiarella, T. Schram, E. Rohr, A. Van Ammel, A. Jourdain, W. Ruythooren, S. Armini, A. Radisic, H. Philipsen, N. Heylen, M. Kostermans, P. Jaenen, E. Sleenckx, D. Sabuncuoglu Tezcan, I. Debusschere, P. Soussan, D. Perry, G. Van der Plas, J. Cho, P. Marchal, Y. Travaly, E. Beyne, S. Biesemans, and B. Swinnen, "Impact of thinning and through silicon via proximity on high-k / metal gate first CMOS performance," IEEE VLSI Technology Symposium, pp. 109–110, 2010.
4. K. Lu, X. Zhang, S.-K. Ryu, J. Im, R. Huang, and P. Ho, "Thermomechanical reliability of 3-D ICs containing through silicon vias," Electronic Components and Technology Conference, pp. 630–634, May 2009.
5. S. Ryu, K. Lu, X. Zhang, J. Im, P. Ho, and R. Huang, "Impact of near-surface thermal stresses on interfacial reliability of through-silicon vias for 3-D interconnects," IEEE Transactions on Device and Materials Reliability, vol. 11, pp. 35–43, Mar. 2011.
6. J.-S. Yang, K. Athikulwongse, Y.-J. Lee, S. K. Lim, and D. Pan, "TSV stress aware timing analysis with applications to 3D-IC layout optimization," 47th ACM/IEEE Design Automation Conference, pp. 803–806, 2010.
7. A. Mercha, G. Van der Plas, V. Moroz, I. De Wolf, P. Asimakopoulos, N. Minas, S. Domae, D. Perry, M. Choi, A. Redolfi, C. Okoro, Y. Yang, J. Van Olmen, S. Thangaraju, D. Tezcan, P. Soussan, J. Cho, A. Yakovlev, P. Marchal, Y. Travaly, E. Beyne, S. Biesemans, and B. Swinnen, "Comprehensive analysis of the impact of single and arrays of through silicon vias induced stress on high-k / metal gate cmos performance," IEEE International Electron Devices Meeting, pp. 2.2.1–2.2.4, 2010.

8. M. Jung, J. Mitra, D. Pan, and S. Lim, "TSV stress-aware full-chip mechanical reliability analysis and optimization for 3D IC (preprint)," 48th ACM/IEEE Design Automation Conference, pp. 803–806, 2011.
9. Yozo Kanda, "A Graphical Representation of the Piezoresistance Coefficients in Silicon," 1981.
10. Bufler, A. Erlebach, and M. Oulmane, "Hole mobility model with silicon inversion layer symmetry and stress-dependent piezoconductance coefficients," IEEE Electron Device Letters, vol. 30, no. 9, pp. 996–998, 2009.
11. S. Thompson, G. Sun, Y. S. Choi, and T. Nishida, "Uniaxial-process-induced strained-si: extending the cmos roadmap," IEEE Transactions on Electron Devices, vol. 53, pp. 1010–1020, May 2006.
12. V. Moroz, "The impact of TSV arrays on transistor performance," IEEE Workshop on Variability Modeling and Characterization, 2010.
13. J.-S. Lim, S. Thompson, and J. Fossum, "Comparison of threshold voltage shifts for uniaxial and biaxial tensile-stressed n-MOSFETs," IEEE Electron Device Letters, vol. 25, no. 11, pp. 731–733, 2004.
14. W. Zhang and J. Fossum, "On the threshold voltage of strained-Si-Si_{1-x}Ge_x MOSFETs," IEEE Transactions on Electron Devices, vol. 52, no. 2, pp. 263–268, 2005.