

УДК 004

Аракелян Ваге Авагович

ФГБОУ ВПО «Национальный исследовательский университет «МИЭТ»

Россия, Зеленоград¹

Аспирант, магистр

E-Mail: vahearakelyan86@yahoo.com

Трехмерная интеграция и задачи для систем автоматизированного проектирования

Аннотация: На сегодняшний день один из путей для обеспечения более высокого уровня функциональности при минимальных размерах и максимальном быстродействии остается путь развития конструкции трехмерных интегральных схем.

Увеличение плотности трехмерных интегральных схем (3D ИС), которое становится возможным благодаря вертикальному размещению элементов, будет способствовать многократному сокращению затрат на производство интегральных схем (ИС) по сравнению с традиционными интегральными схемами при той же технологии производства.

3D интегральные схемы могут масштабироваться с той же скоростью, какую предусматривает закон Мура, тем самым потребители получают возможность со временем использовать все преимущества трехмерной технологии.

В статье представлены преимущества и недостатки использования трехмерных интегральных схем по субмикронным технологиям.

Автором представлены решения проблем использования этой технологии таких, как снижение токов утечек, снижение рассеиваемой мощности, выявление изменений параметров схемы под воздействием стрессов сквозных отверстий сквозь кремний.

Ключевые слова: Трехмерная интегральная схема; сквозные отверстия сквозь кремний; температурное распределение; коэффициент тепловой экспансии; механический стресс; потребление мощности; трехмерная топология.

Идентификационный номер статьи в журнале 164TVN214

¹ 124498, Москва, Зеленоград, проезд 4806, дом 5.

I Введение

При физическом проектировании модулей особую важность приобретает обеспечение быстродействия ИС. Это обусловлено тем, что быстродействие современных цифровых ИС во многом зависит от временных задержек сигнала в межсоединениях. Задержки в межсоединениях определяются RC параметрами линий связи, которые в свою очередь, при определенной технологии в основном зависят от их длин.

Разделяются две характерные группы длин межсоединений: локальные и глобальные. Локальные межсоединения обусловлены связями внутри логических ячеек, длина которых соизмерима с топологическими размерами ячеек и составляет при технологии 90 нм порядка 5 мкм. Глобальные же межсоединения обусловлены связями между логическими ячейками в пределах общей топологической площади проекта, длина которых соизмерима с топологическими размерами полупроводникового кристалла и составляет порядка 10^4 мкм. Если принять, что среднее количество внешних контактов стандартных ячеек и количество выводов транзисторов примерно одинаково, а соотношение их количеств в ИС составляет порядка 1:10, то соотношение суммарных длин локальных и глобальных межсоединений составит порядка $5:10^3$. Таким образом, основная доля задержек сигналов в межсоединениях приходится на глобальные межсоединения. Задержки в вентилях для субмикронных БИС лежат в диапазоне единиц пикосекунд [2].

Для уменьшения емкости и сопротивления межсоединения, были исследованы новые материалы и инновационные межсоединения.

Например, очень широкую распространенность получило применение Си для межсоединений, обусловленное его сравнительно малым сопротивлением, но рассеивание электронов, вызывающих рост сопротивления Си ограничивало возможности применения.

Используются также повторители и негабаритные драйверы, но они сами являются потребителями энергии.

Оптические межсоединения снижают рассеивание мощности для длинных межсоединений и обеспечивают более предсказуемые времена задержек, но интеграция разных технологий очень сложна.

Это статистика еще раз подчеркивает важность применения 3D интеграции, потому что одно из основных целей 3D технологии это сокращение глобальных межсоединений [3].

II Основные требования к программным средствам по 3d проектированию

Еще в начале 2010 года единственным коммерческим программным средством, у которого были возможности 3D проектирования на основе TSV был MAX-3D Layout Editor компании Micro Magic. Оно поддерживало только редактирование топологии 3D ИС и не предлагало возможности автоматического проектирования, размещение и трассировку. Никакое коммерческое программное средство, обозначенное для временного анализа, мощности, шумов питания или технологичности не обрабатывал TSV информацию.

Наиболее перспективным преимуществом 3D интеграции на основе TSV это общая длина соединений, которая укорачивается благодаря вертикальным TSV соединениям. Однако сами размеры TSV являются основным препятствием при их многократном использовании. По данным ITRS 2009 года, размеры TSV будут в диапазоне 1мкм до 5мкм до 2015 года. Однако размеры схемы с четырьмя транзисторами в тоже время будут уменьшены с 0.82мкм^2 до 0.2мкм^2 [4]. Это означает, что соотношение площадей TSV и логических вентилях будет расти от $2.74=(2.25/0.82)$ до $5=(1/0.2)$. Соотношение становится еще большим, если иметь

ввиду дополнительные зоны, которые необходимы для избежания проблем стесса и литографии. Поскольку длина общей шины является ключевым фактором при проектировании, то при проектировании следует учитывать все особенности TSV. А также требуется исследование RC параметров больших TSV, для оценки их влияния на потребление мощности и другие характеристики.

III Распределение tsv. количество и местоположение

TSV (throughsiliconvia, сквозное кремниевое межсоединение или переходное отверстие в кремнии) это вертикальное межсоединение, которое полностью проходит сквозь кремневую подложку.

Распределение TSV - это сердце 3D проектирования. Количество и местоположение TSV особым образом влияет на качество и надежность 3D технологии. Недавние исследования [4] показывают, что общая длина межсоединений уменьшается столько, сколько использованы TSV, но до какой-то степени конечно [5]. Однако в основном по причине больших размеров TSV длина межсоединений начинается расти от какой-то оптимальной точки, как показано на рисунке 1.



Рис .1. Площадь кристалла и длина межсоединений при использовании TSV

Количество TSV, которые были использованы в 3D технологии полностью зависит от того, как дизайн был поделен на части. Для оптимального распределения проекта, требуется исследование каждого частного случая. А также требуется исследование для оценки влияния распределения TSV на качество и надежность 3D проекта [5]. Возможным решением этой проблемы может явится оптимальный выбор между регулярным и нерегулярным размещением TSV [6] Рис. 2.

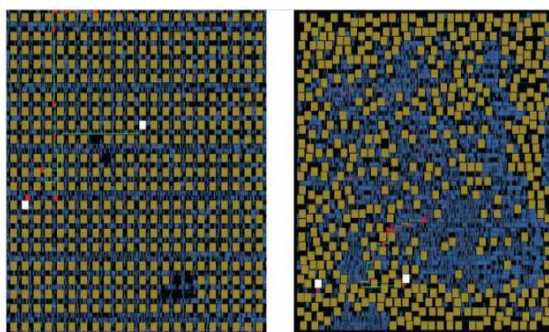


Рис. 2. регулярное и не регулярное размещение

Немаловажным фактором является оценивание влияния размеров TSV на потребляемую мощность, надежность и производительность при физическом проектировании.

IV Температурное распределение 3d ис

Одной из недостатков 3D ИС, это проблема теплоотвода. В проектах, где мощность составляет примерно 100 В/см^2 , появляются температурные пики, что и влияет на общую температуру подложки. Как показано на рисунке 3а, для этого часто рядом с пиковыми точками поставляются дополнительные межсоединения TSV из меди, Теплопроводность меди, кремня и SiO_2 , при температуре 25°C соответственно составляют 390, 150 и $1.4 \text{ В/(м} \cdot \text{К)}$.

Но размещение таких сквозных соединений приводит к другим проблемам, связанные с их влиянием на общую площадь и производительность 3D ИС. Предложены и другие механизмы охлаждения, это применение carbonnanotub [7] и жидкостное охлаждение [8] micro-scalefluidic channels MFS, как показано на Рис. 3.

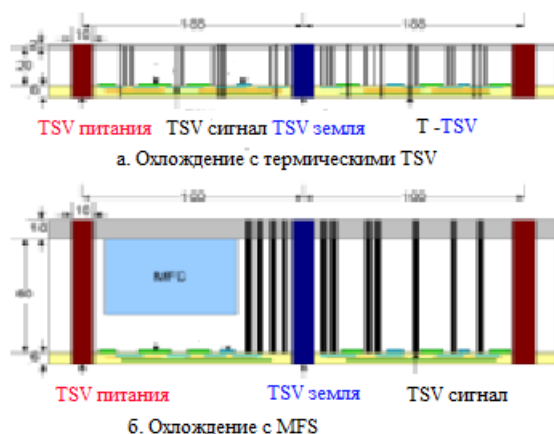


Рис. 3. Охлаждение с термическими TSV и MFS

Опять для оценки преимуществ и недостатков этих механизмов нужно исследование. Возможным решением может быть постановка TSV уже на этапе размещения и такая планировка соединений, где места MFS учитываются заранее.

V Потребление мощности в 3d ис

Еще одной проблемой при 3D проектировании является обеспечение потребляемой мощности.

Внешние шины питания соединяются при помощи нескольких вертикальных TSV питания, как это показано на Рис. 4

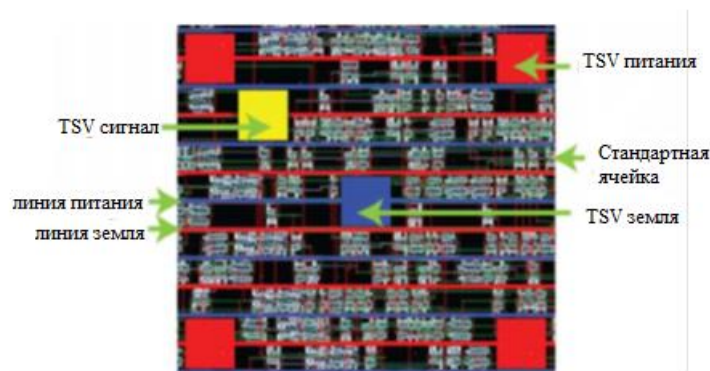


Рис. 4. Шины питания в 3D ИС

Количество TSV питания ограничено всявязи с проблемами при размещении и трасировки, к тому же, трассировка «сигнал» соединений (signal routing) должно делаться очень тщательно, чтобы предотвратить появление емкостей между ними и TSV питания.

VI Проблемы производительности, стрессы

Поскольку TSV очень большие по сравнению с другими топологическими объектами, то они приводят к неравномерному распределению актив, poly M1 слоев, как это показано на Рис. 5.

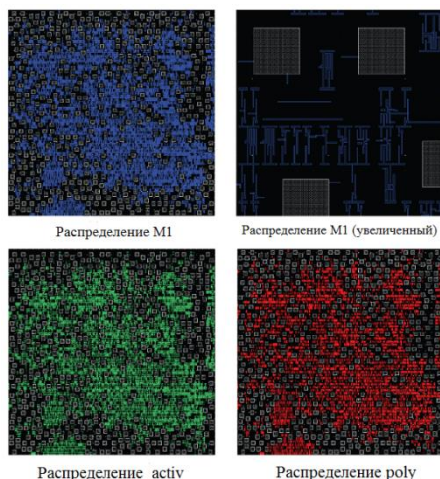


Рис. 5. Распределение active, poly и M1

Выше представленные неоднородности усложняют процесс химическо-механического планаризации (Chemical Mechanical Planarization) и требуют новые подходы, учитывая TSV. Существует большая разница между коэффициентом тепловой экспансии меди ($Cu=17.7 \text{ ppm}/^\circ\text{C}$) и кремния ($Si=3,05 \text{ ppm}/^\circ\text{C}$), что и является причиной для стресса во время производства и функционирования [6]. Это в свою очередь влияет на временные характеристики и, следовательно, на устойчивость схемы. Итак, стрессы и температурные потоки могут физически повредить подложку и устройство. Возможным решением могут быть TSV ориентированный “CMP fill”, распределение TSV учитывая временной анализ и физическое проектирование.

Механический стресс можно разложить по двум направлениям: радиальное и тангенциальное (касательное) (рис.6). Такие стрессы влияют на подвижность носителей и на пороговые напряжения ближайших транзисторов.

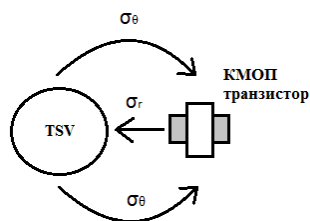


Рис. 6. Влияние компонент стрессов TSV на транзисторы, где σ_r - радиальное, а σ_θ - тангенциальное

Описанные эффекты могут вызвать временные нарушения в цифровых схемах и несоответствия токов в аналоговых схемах. Вызванный стресс вопреки ожиданиям может иметь положительное воздействие на временные параметры схемы.

Были разработаны методы для временного анализа схем под воздействием TSV стрессов. Алгоритмы которых основываются на актуальные методы для расчета стрессов. В одной случаи в качестве временной библиотеки используется новая библиотека для характеристики которого была использована модели транзисторов, где рассчитаны TSV стрессы. В другой случаи библиотека полностью была оптимизирована для трехмерной топологии.

VII Заключение

Трехмерный метод производства имеет два очевидных преимущества.

Во-первых, это существенное снижение цен при фиксированном числе транзисторов на кристалле и во-вторых, увеличение числа транзисторов со скоростью, не меньшей, чем предусматривает закон Мура в расчете на количество устройств, приходящихся на единицу площади.

Максимально возможный на сегодня уровень интеграции ИС обеспечивает использование технологии TSV, которая позволяет убрать операцию разварки из технологической цепочки, обеспечивает более высокую плотность монтажа, большую функциональность, лучшие технические характеристики (минимальная длина соединений; межсоединения не ограничивают скорость распространения сигнала), более низкое энергопотребление, меньшую стоимость. Однако использование этой технологии требует решить ряд проблем таких, как снижение токов утечек, снижение рассеиваемой мощности, выявление изменений параметров схемы под воздействием стрессов TSV и оптимизация.

TSV-технология позволяет значительно увеличить количество линий ввода/вывода, что радикальным образом приводит к повышению скорости трансляции данных, и уменьшить энергопотребление, а также вызвать появление принципиально новых видов высокоэффективных устройств. Для проектирования 3D БИС с TSV необходимо использовать новые инструменты САПР для нанометровых проектов.

ЛИТЕРАТУРА

1. Строгонов А., Цыбин С., Быстрыйский А. – Трехмерные интегральные схемы 3D БИС // Компоненты и технологии, 2011
2. Арутюнян А. – Линейное размещение ячеек цифровых интегральных схем учетом резервов задержки в цепях // Электронные системы, 2009
3. www.dac.com
4. International Technology Roadmap for Semiconductors (ITRS), www.itrs.net
5. Dae Hyun Kim, Krit Athikulwongse, and Sung Kyu Lim, "A Study of Through-Silicon-Via Impact on the 3D Stacked IC Layout", IEEE International Conference on Computer-Aided Design, 2009
6. Jae-seok Yang, Krit Athikulwongse, Young-Joon Lee, Sung Kyu Lim, and David Pan, "TSV Stress Aware Timing Analysis with Applications to 3D-IC Layout Optimization", ACM Design Automation Conference, 2010
7. Y. Xu, Y. Zhang, E. Suhir, X. Wang, "Thermal Properties of Carbon Nanotube Array Used For Integrated Circuit Cooling", Journal of Applied Physics, Volume 100, Issue 7, 2006
8. Young-Joon Lee, Rohan Goel, and Sung Kyu Lim, "Multi-Functional Interconnect Co-optimization for Fast and Reliable 3D Stacked ICs", IEEE International Conference on Computer-Aided Design, 2009

Рецензент: Кетикян Армен Жирайрович, кандидат физико-математических наук, ЗАО Ментор Графикс.

Vahe Arakelyan
Moscow Institute of Electronic Technology
Russia, Zelenograd
E-Mail: vahearakelyan86@yahoo.com

Three dimensional integration and tasks for computer-aided design

Abstract: Today one of the best ways for increasing the integrated circuit (IC) performance by keeping small sizes and high speed is three dimensional integration. Increasing the density of three-dimensional ICs (3D IC), which is possible by vertical placement of the elements, will bring to production cost reduction compared to traditional technology. 3D IC scaling could be continued according to Moors law and the same time user can use advantages of new technology. One of the best advantages using 3D IC is reduction of interconnect wire-length and hence improvement on signal propagation delays. In this article the advantages and disadvantages of 3D IC's are presented. The author presents solutions of problems such as decreasing leakage current and power and extracting the impact of through-silicon via (TSV) stress on circuits.

Keywords: Three dimensional integrated circuit; through silicon vias; temperature distribution; coefficient of thermal expansion; mechanical stress; power dissipation; three-dimensional topology.

Identification number of article 164TVN214

REFERENCES

1. Strogonov A., Cybin S., Bystryjskij A. – Trehmernye integral'nye shemy 3D BIS // Komponenty i tehnologii, 2011
2. Arutjunjan A. – Linejnoe razmeshhenie jacheek cyfrovyyh integral'nyh shem uchedom rezervov zaderzhki v cepjah // Jelektronnye sistemy, 2009
3. www.dac.com
4. International Technology Roadmap for Semiconductors (ITRS), www.itrs.net
5. Dae Hyun Kim, Krit Athikulwongse, and Sung Kyu Lim, "A Study of Through-Silicon-Via Impact on the 3D Stacked IC Layout", IEEE International Conference on Computer-Aided Design, 2009
6. Jae-seok Yang, Krit Athikulwongse, Young-Joon Lee, Sung Kyu Lim, and David Pan, "TSV Stress Aware Timing Analysis with Applications to 3D-IC Layout Optimization", ACM Design Automation Conference, 2010
7. Y. Xu, Y. Zhang, E. Suhir, X. Wang, "Thermal Properties of Carbon Nanotube Array Used For Integrated Circuit Cooling", Journal of Applied Physics, Volume 100, Issue 7, 2006
8. Young-Joon Lee, Rohan Goel, and Sung Kyu Lim, "Multi-Functional Interconnect Co-optimization for Fast and Reliable 3D Stacked ICs", IEEE International Conference on Computer-Aided Design, 2009