

Интернет-журнал «Наукоедение» ISSN 2223-5167 <http://naukovedenie.ru/>

Том 7, №2 (2015) <http://naukovedenie.ru/index.php?p=vol7-2>

URL статьи: <http://naukovedenie.ru/PDF/76TVN215.pdf>

DOI: 10.15862/76TVN215 (<http://dx.doi.org/10.15862/76TVN215>)

УДК 658.512

Петросян Варужан Сержикович

ФГАОУ ВПО “Национальный исследовательский университет“ МИЭТ

Россия, Москва¹

Аспирант

Магистр

E-mail: pvaruzh@gmail.com

Глебов Алексей Львович

ФГАОУ ВПО “Национальный исследовательский университет“ МИЭТ

Россия, Москва

Профессор

Доктор технических наук

Старший научный сотрудник

E-mail: glebov.alexey@gmail.com

Геворгян Арам Манукович

ФГАОУ ВПО “Национальный исследовательский университет“ МИЭТ,

Россия, Москва

Аспирант

Магистр

E-mail: argevman@yahoo.com

Моделирование мощности цифровой КМОП схемы с помощью диаграмм решений

¹ 124498, г. Москва, г. Зеленоград, площадь Шокина, дом 1, факультет ЭКТ, кафедра ПКИМС

Аннотация. Увеличение размеров современных цифровых схем делает необходимым разработку систем автоматизации проектирования, которые обладают достаточной точностью и приемлемым временем моделирования. В работе описывается логическое моделирование цифровых КМОП схем с использованием диаграмм двоичных и троичных решений. В диаграммах троичных решений для представления неполно определенных Булевых функций, кроме значений функций логических 0 и 1, добавляется третье значение функции – U (undefined - неопределенное). Для моделирования цифровых КМОП схем лучше всего подходят специальные виды диаграмм решений - последовательно параллельные, которые являются каноническими представлениями КМОП схем. В исследовании представлен алгоритм работы программы для моделирования мощности цифровой схемы на основе последовательно параллельных диаграмм решений. Произведена оценка потребляемой схемой мощности при переключениях с использованием случайных наборов входных сигналов. Учет неопределенных состояний сигнала в случае троичных диаграмм решений позволяет сократить количество тест векторов и получить требуемую точность за меньшее количество циклов работы программы. Полученные результаты показывают, что применение троичных диаграмм дает возможность получить точность оценки с двоичными диаграммами решений, но как минимум на порядок быстрее.

Ключевые слова: логическое моделирование; цифровые схемы; моделирование мощности; диаграммы решений; последовательно параллельные диаграммы решений; моделирование мощности; неопределенное состояние сигнала.

Ссылка для цитирования этой статьи:

Петросян В.С., Глебов А.Л., Геворгян А.М. Моделирование мощности цифровой КМОП схемы с помощью диаграмм решений // Интернет-журнал «НАУКОВЕДЕНИЕ» Том 7, №2 (2015)
<http://naukovedenie.ru/PDF/76TVN215.pdf> (доступ свободный). Загл. с экрана. Яз. рус., англ. DOI: 10.15862/76TVN215

Диаграммы решений

Основой компьютерной науки считается Булева алгебра. Большинство проблем проектирования и тестирования цифровых схем может быть представлена как определенная последовательность операций с Булевыми функциями. Существует много методов и подходов для их представления и манипулирования. В работе рассматриваются алгоритмы оперирования Булевыми функциями, представленными как направленные ациклические графы. Такими представлениями являются диаграммы решений.

Авторами рассмотрены представления Булевых функций - диаграммы двоичных решений (Binary decision diagrams – BDD) [1-2] и диаграммы троичных решений (Ternary decision diagrams – TDD) [3-4], а так же специальные их виды.

BDD – направленный ациклический граф (Directed Acyclic Graph), имеющий одну корневую вершину и не более двух терминальных вершин. Терминальные вершины имеют метки 0 и 1 [5]. По аналогии с BDD, для работы с неполно определенными Булевыми функциями удобным представлением являются диаграммы троичных решений (Ternary decision diagrams) . В отличии от BDD [6], в TDD кроме логических {0;1} добавляется третье значение функции – U (Undefined – неопределенное). В TDD каждая нетерминальная вершина имеет трех потомков, кроме того имеются три терминальные вершины, соответствующие значениям функции 0,U,1.

Последовательно-параллельные цепи

Последовательно-параллельные цепи (ПП - цепи) широко используются в цифровых КМОП схемах в качестве верхних (pull - up) и нижних (pull -down) цепей КМОП - вентилях. Каждая ПП - цепь реализует некоторую булевскую функцию. Известны различные представления ПП - цепей, разработанные и применяемые для тех или иных целей . В работе используются представления ПП цепи в виде последовательно параллельных диаграмм двоичных решений – serial parallel BDD (SP-BDD) [7-8] и троичных решений (SP-TDD) [9]. SP-BDD и SP-TDD особенно удобны для представления КМОП - вентиля, для которого они являются каноническим представлением.

SP-BDD, ассоциированная с ПП - цепью - это ROBDD (reduced ordered BDD, т.е. минимизированный граф функции) для булевской функции, ассоциированной с ПП - цепью, если выбранный порядок переменных - это линейный порядок, ассоциированный с ПП – цепью [10-11].

Процесс построения SP-BDD [12] для ПП – цепи представлен на Рис. 1.

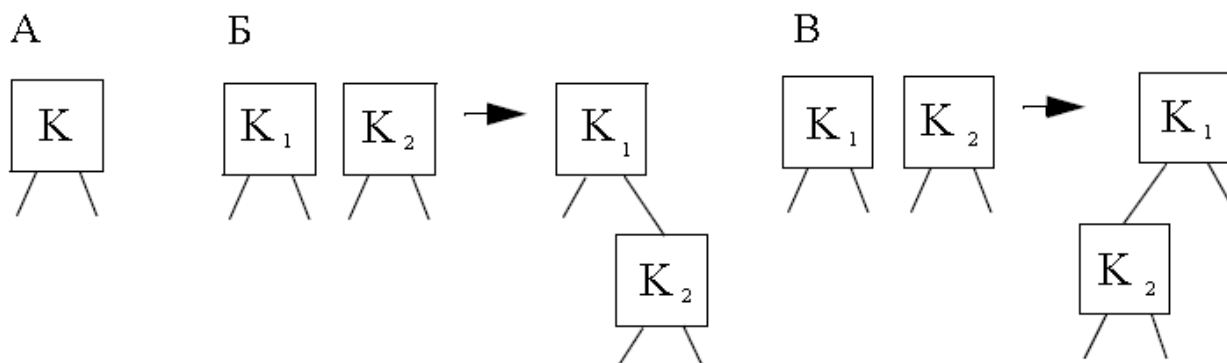


Рис. 1. Рекурсивное построение SP-BDD и формирование SP-BDD:

- А. Для одного ключа;
- Б. Для последовательного соединения двух ПП - цепей;
- В. Для параллельного соединения двух ПП - цепей (Составлено автором).

По аналогии с SP-BDD, SP-TDD как модель неполно определенной Булевой функции, задаваемой последовательно-параллельной цепью (ПП - цепью) из ключей (с возможностью третьего, неопределенного состояния, как каждого ключа, так и всей цепи) [13-15]. Построение SP-TDD для ПП – цепи показано на Рис. 2.

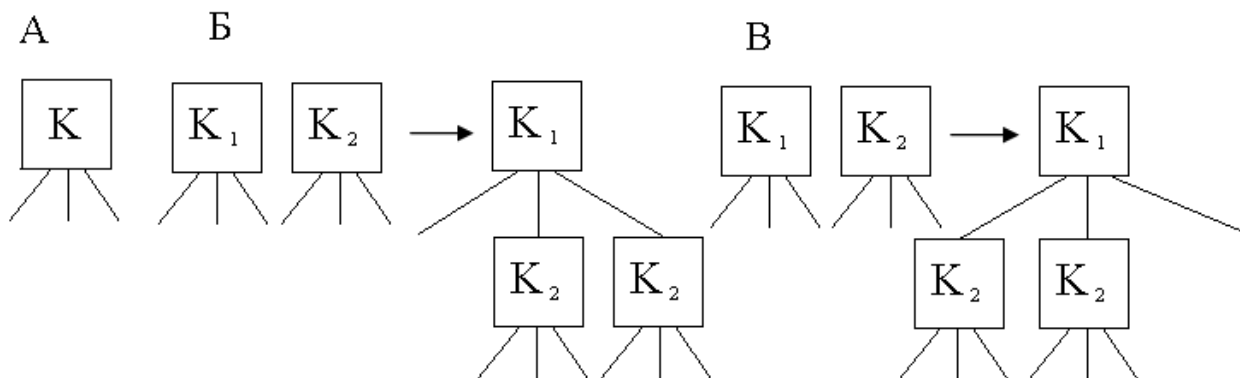


Рис. 2. Рекурсивное построение SP-TDD и формирование SP-TDD:

- А. Для одного ключа;
- Б. Для последовательного соединения двух ПП – цепей;
- В. Для параллельного соединения двух ПП – цепей. (Составлено автором).

После представления схемы в виде SP-BDD и SP-TDD было произведено моделирование потребляемой схемой мощности при переключениях [16-18].

Для использованных в работе схем, после представления в виде SP-BDD и SP-TDD, была смоделирована потребляемая схемой мощность при переключениях.

Алгоритм моделирования мощности

При моделировании мощности цифровой схемы рассматривались возможные переключения логического вентиля G при переходе схемы от некоторого входного вектора к следующему. Пусть энергия, потребляемая вентилем при переключении, равна EG. Возможны три варианта для потребляемой энергии E при следующих переключениях выхода вентиля:

- E принадлежит [0,0] при 0->0, 1->1
- E принадлежит [EG,EG] при 0->1, 1->0
- В случае использования TDD, добавляется
- E принадлежит [0,EG] при 0->U, U->0, 1->U, U->1, U->U

Входной информацией для нашей программы в случае программы BDD являются количество тактов (количество входных векторов), а в случае TDD добавляется количество входов в неопределенном состоянии.

В соответствии с данным подходом, оценка мощности, основанная на логическом моделировании на основе диаграмм решений, состоит из следующих шагов:

Для моделируемой схемы, заменить каждый вентиль его SP-BDD (SP-TDD)-представлением.

1. Инициализировать состояние схемы в соответствии с нулевым входным вектором.
2. Инициализировать полную энергию интервалом $[0,0]$, максимальную энергию – нулем.

Для каждого входного вектора повторить пункты 3-7.

3. Инициализировать тактовую энергию интервалом $[0,0]$.

Для каждого вентиля, в топологическом порядке (от входов к выходам), повторить пункты 4-6.

4. Определить новое состояние выхода вентиля, найдя в его SP-BDD (SP-TDD) путь для нового состояния его входов.
5. Определить интервальную оценку энергии (в случае TDD), потребленной вентиляем на данном такте.
6. Добавить интервальную оценку энергии, потребленной вентиляем, к тактовой энергии.
7. Добавить тактовую энергию к полной энергии.
8. Обновить максимальную энергию в соответствии с тактовой энергией.
9. По полной энергии и времени моделирования, вычислить интервальную оценку мощности [19].
10. Разделить шкалу от минимальной до максимальной энергии на 20 равных интервалов. Посчитать количество попадания циклов в каждый интервал для статистического анализа.

Экспериментальные результаты

Эксперимент проводился для двух схем из набора ISCAS 85. Для каждой схемы моделирование производилось с использованием представление схемы в виде SP BDD и SP TDD с разным количеством циклов работы программы (т.е. разное количество тест векторов). В случае двоичных диаграмм, после определенного количества циклов точность результатов перестает расти и устанавливается. После этого произведено моделирование с использованием представления в виде SP TDD (с заданным количеством неопределенностей на входах), получены интервальные значения минимальной и максимальной мощности. Вычислено количество тактов и количество неопределенных состояний сигналов на входах, при которых результаты применения троичных диаграмм совпадают с результатами применения двоичных диаграмм.

Промежуточной задачей эксперимента было выяснение нормальности распределения. Для этого вычислена плотность распределения мощности на двадцати равных интервалах. Полученные результаты для схемы с1908 и с499 приведены в таблицах 1 и 2.

Таблица 1

Плотность распределения для схемы с1908 (Составлено автором)

Интервалы		1	2	3	4	5	6	7	8	9	10
BDD	Такты	0	0	0	0	0	0	30	184	184	641
	Плотность	0	0	0	0	0	0	0.0015	0.00365	0.0092	0.03205
TDD min	Такты	3	1	18	24	50	90	143	190	264	263
	Плотность	0.0015	0.0005	0.009	0.012	0.025	0.045	0.0715	0.095	0.132	0.1315
TDD max	Такты	3	5	24	37	71	106	129	162	167	229
	Плотность	0.0015	0.0025	0.012	0.0185	0.0355	0.053	0.0645	0.081	0.0835	0.1145
Интервалы		11.00	12.00	13.00	14.00	15.00	16.00	17.00	18.00	19.00	20.00
BDD	Такты	1325	2794	3677	4357	3672	2089	919	179	50	10
	Плотность	0.0663	0.1397	0.184	0.2179	0.1836	0.104	0.046	0.00895	0.0025	0.0005
TDD min	Такты	307	231	181	113	53	32	24	8	2	3
	Плотность	0.1535	0.1155	0.091	0.0565	0.0265	0.016	0.012	0.004	0.001	0.0015
TDD max	Такты	246	200	202	151	112	90	42	18	4	2
	Плотность	0.123	0.1	0.101	0.0755	0.056	0.045	0.021	0.009	0.002	0.001

Графическое изображение распределения приведено на Рис. 3. Во всех случаях распределения оказалось нормальным (Гауссово распределение). Единственное ограничение, чтобы количество неопределенностей на входах не превышало 60% от общего количества.

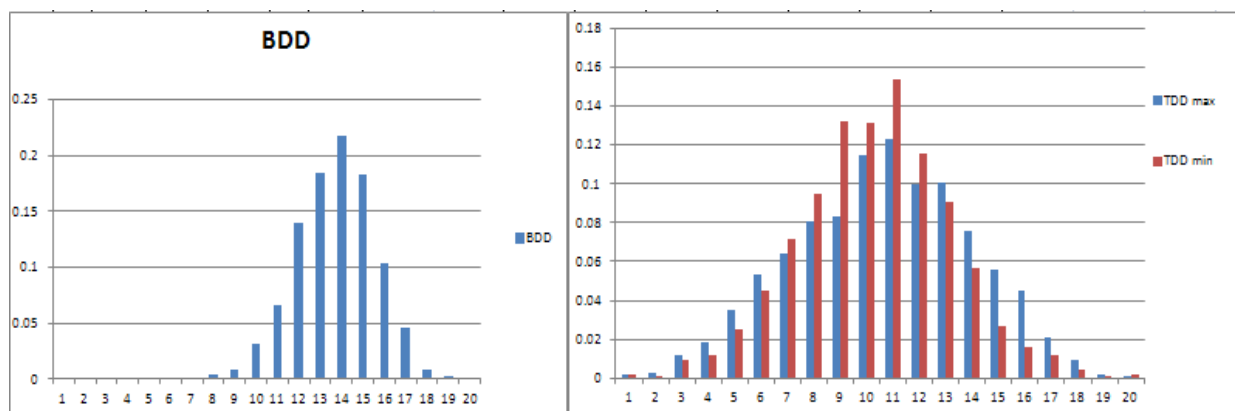


Рис. 3. Графическое изображение распределения для с1908 (Составлено автором)

Результаты для схемы с432 приведены в таблице 2 и на рисунке 4.

Таблица 2

Плотность распределения для схемы с432 (Составлено автором)

Интервалы		1	2	3	4	5	6	7	8	9	10
BDD	Такты	0	0	0	0	2	32	32	71	166	267
	Плотность	0	0	0	0	0.001	0.016	0.016	0.0355	0.083	0.1335
TDD min	Такты	2	2	6	9	11	15	21	22	16	19
	Плотность	0.01	0.01	0.03	0.045	0.055	0.075	0.105	0.11	0.08	0.095
TDD max	Такты	3	1	5	4	12	9	13	17	17	19
	Плотность	0.015	0.005	0.025	0.02	0.06	0.045	0.065	0.085	0.085	0.095
Интервалы		11.00	12.00	13.00	14.00	15.00	16.00	17.00	18.00	19.00	20.00
BDD	Такты	294	297	283	252	148	86	37	24	7	2
	Плотность	0.147	0.1485	0.1415	0.126	0.074	0.043	0.0185	0.012	0.0035	0.001
TDD min	Такты	16	25	8	11	8	4	1	2	1	1
	Плотность	0.08	0.125	0.04	0.055	0.04	0.02	0.005	0.01	0.005	0.005
TDD max	Такты	22	12	26	14	11	10	1	2	1	1
	Плотность	0.11	0.06	0.13	0.07	0.055	0.05	0.005	0.01	0.005	0.005

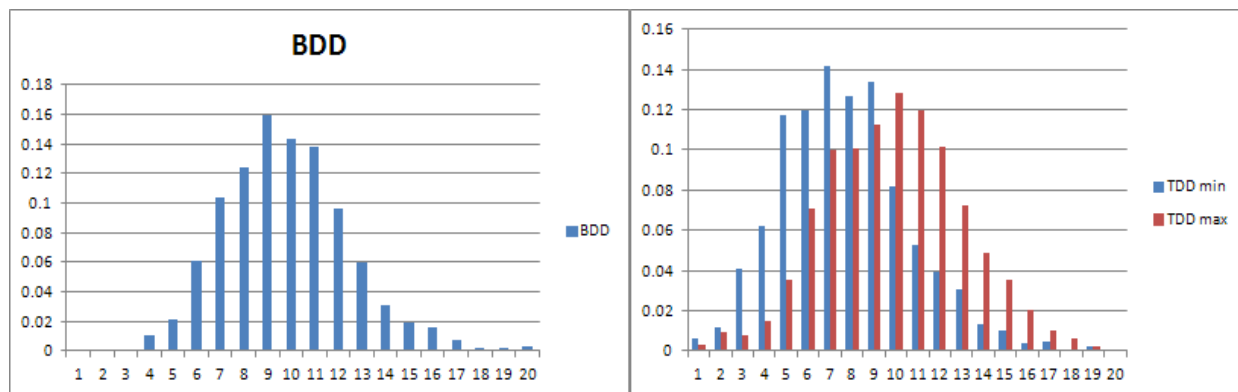


Рис. 4. Графическое изображение распределения для с432 (Составлено автором)

Далее для каждой схемы моделирование производилось с использованием её SP BDD и SP TDD представления с разным количеством циклов работы программы (т.е. разное количество тест векторов). Результаты приведены в таблицах 3 и 4.

Таблица 3

Результаты эксперимента для схемы с1908 (Составлено автором)

C1908	1	2	3	4	5	6	7
	BDD	BDD	BDD	BDD	TDD мин	Ср. TDD	TDD макс
	200	2000	20000	200000	2000	2000	2000
	0-1404	0-1557	0-1653	0-1653	180-1038	609-1641	1041-2242
№ 1	0	0	0	0	3	3	3
№ 2	0	0	0	0	1	3	5
№ 3	0	0	0	0	18	21	24
№ 4	0	0	0	0	24	30.5	37
№ 5	0	0	0	0	50	60.5	71
№ 6	0	0	0	0	90	98	106
№ 7	0	1	30	293	143	136	129
№ 8	0	4	73	731	190	176	162
№ 9	0	9	184	1855	264	215.5	167
№ 10	1	32	641	6399	263	246	229
№ 11	2	85	1325	13237	307	276.5	246
№ 12	7	169	2794	27884	231	215.5	200
№ 13	10	307	3677	36940	181	191.5	202
№ 14	22	336	4357	43603	113	132	151
№ 15	32	432	3672	36715	53	82.5	112
№ 16	37	324	2089	20809	32	61	90
№ 17	34	190	919	9185	24	33	42
№ 18	30	84	179	1761	8	13	18
№ 19	18	22	50	490	2	3	4
№ 20	7	5	10	98	3	2.5	2

В первом столбце указаны номера интервалов, со второго по четвертый результаты эксперимента с использованием BDD, с пятого по седьмой результаты с использованием TDD. В случае двоичных диаграмм решений, определено количество тактов, при котором точность результатов перестает расти (столбец 3). После этого определены количества тактов работы программы и количество неопределенных состояний на входных векторах с использованием TDD, при которых получена точность BDD. Так как распределение во всех случаях являлось нормальным, нами использованы средние значения от интервальных оценок (столбец 6). Как видно из результатов, в случае TDD мы получили точность результатов BDD, но как минимум за порядок меньше циклов работы программы, т.е. на порядок быстрее. Результат объясняется сокращением необходимого количества тест векторов в случае с неопределенностями. В таблице 4 приведены результаты для схемы с432.

Таблица 4

Результаты эксперимента для схемы с432 (Составлено автором)

C432	1	2	3	4	5	6	7
	BDD	BDD	BDD	BDD	TDD мин	Ср. TDD	TDD макс
	200	2000	20000	200000	200	200	200
	0-1404	0-1557	0-1653	0-1653	16-165	90.5-277	180-375
№ 1	0	0	0	0	2	2.5	3
№ 2	0	0	0	0	2	3.5	5
№ 3	0	0	0	0	6	15	24
№ 4	0	0	0	0	9	23	37
№ 5	0	2	19	195	11	41	71
№ 6	1	32	313	3124	15	60.5	106
№ 7	2	32	334	3323	21	75	129
№ 8	5	71	704	7032	22	92	162
№ 9	9	166	1642	16404	16	91.5	167
№ 10	12	267	2667	26752	19	124	229
№ 11	27	294	2944	29492	16	131	246
№ 12	23	297	2960	29500	25	112.5	200
№ 13	40	283	2851	28512	8	105	202
№ 14	19	252	2541	25393	11	81	151
№ 15	30	148	1465	14649	8	60	112
№ 16	14	86	857	8594	4	47	90
№ 17	8	37	371	3711	1	21.5	42
№ 18	5	24	234	2343	2	10	18
№ 19	4	7	78	781	1	2.5	4
№ 20	1	2	20	195	1	1.5	2

Как и в предыдущем эксперименте, в случае TDD, при заданном количестве неопределенных сигналов на входных векторах, точность результатов BDD получена на порядок быстрее.

Выводы

Использование диаграмм троичных решений значительно ускоряет (минимум на один порядок) моделирование мощности цифровой схемы за счет возможности учета неопределенного состояния цифрового сигнала. Количество неопределенностей на входах при моделировании можно высчитать методом множественной числовой регрессии после достаточного количества экспериментов. Результаты в дальнейшем могут быть уточнены путем наложения импликаций.

ЛИТЕРАТУРА

1. Lee C.Y. Representation of switching circuits by binary-decision programs / The Bell System Technical Journal. 1959. Vol. 38. pp. 985-999.
2. Akers S.B. Binary decision diagrams / IEEE Trans. on Computers. 1978. Vol. C-27. pp. 509-516.
3. Kleene S.C. Introduction to Methamatematics. Amsterdam: North-Holland Publishing Co., 1952. 576 pp.
4. Perkowski M.A., Schaefer I., Sarabi A., Chrzanowska-Jeske M. Multi-level Logic Synthesis Based on Kronecker Decision Diagrams and Boolean Ternary Decision Diagrams for Incompletely Specified Functions // VLSI Design. 1995. Vol. 3, No. 3-4, pp. 301-313.
5. Bryant R.E. Graph-based algorithms for Boolean function manipulation / IEEE Trans. on Computers. 1986. Vol. C-35. pp. 677-691.
6. Aziz A., Tasiran S., Brayton R. BDD Variable Ordering for Interacting Finite State Machines // Proc. of the 31st annual Design Automation Conf. DAC '94. San Diego. 1994. pp. 283-288.
7. Glebov A.L. BDD Based Algorithms for Series-Parallel Network Representation and Manipulation // Fourth Int. Workshop on Design Automation Russian Workshop '94. Moscow. 1994. pp. 32-35.
8. Tiwari V., Ashar P., Malik S. Technology Mapping for Low Power // Proc. of the 30th Design Automation Conf. DAC '93. Dallas.1993. pp. 74-79.
9. Петросян В.С. Интервальная оценка потребляемой схемой мощности с помощью троичных диаграмм решений // «Актуальные проблемы современной науки в 21 веке»: мат. VII междунар. науч.- практ. конф. Махачкала: 2013. С. 26-28.
10. Актуальные проблемы моделирования в САПР / Глебов А.Л., Гурарий М.М., Жаров М.М., Егоров Ю.Б., Русаков С.Г., Стемпковский А.Л., Ульянов С.Л. Москва: Наука, 2003. 436 С.
11. Гаврилов С.В., Глебов А.Л., Стемпковский А.Л. Анализ фатальных помех в цифровых схемах на основе метода резолюций // Известия вузов. Электроника. 2004. № 6, С. 64-72.
12. Кононов А.Н., Миндеева А.А., Петросян В.С., Манукян А.А. Оптимизация микроконвейерной архитектуры, спроектированной в базисе ПЛИС/СБМК // Фундаментальные исследования. 2013. № 4-5, С. 1065-1069.
13. Brace K., Rudell R., Bryant R. Efficient Implementation of a BDD Package // Proc. of the 27th Design Automation Conf. DAC '90. Orlando. 1990. pp. 40-45.
14. Gavrilov S., Glebov A., Pullela S., Moore S.C., Dharchoudhury A., Panda R., Vijayan G., Blaauw D.T. Library-less synthesis for static CMOS combinational logic circuits // Int. Conf. on Computer-Aided Design ICCAD '97. San Jose. 1997. pp 658-662.
15. Гаврилов С.В., Глебов А.Л., Стемпковский А.Л. Анализ помехоустойчивости цифровых схем на основе логических импликаций // Известия вузов. Электроника. 2002. № 5. С. 60-67.

16. Yuan J., Pixley C., Aziz A. Constraint-Based Verification. New York: Springer, 2006. 263 p.
17. Jennings G. Symbolic Incompletely Specified Functions for Correct Evaluation in the Presence of Indeterminate Input Values // Proc. of 28th Annual Hawaii Int. Conf. on System Sciences HICSS-28. Maui. 1995. pp. 23-31.
18. Iman S., Pedram M. Logic Extraction and Factorization for Low Power // Proc. of the 32st Design Automation Conf. DAC '95. San Francisco. 1995. pp. 248-250.
19. Моделирование цифровых КМОП схем с использованием диаграмм троичных решений / Глебов А.Л., Миндеева А.А., Петросян В.С., Геворгян А.М. // Современные проблемы науки и образования. Электрон. журн. 2013. № 4. <http://www.science-education.ru/pdf/2013/4/367.pdf> (дата обращения: 20.03.2015).

Рецензент: Гаврилов Сергей Витальевич, доктор технических наук, профессор, зав. отделом «Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН)».

Petrosyan Varuzhan Serzhikovich

National Research University of Electronic Technology
Russian Federation, Moscow
E-mail: pvaruzh@gmail.com

Glebov Aleksey L'vovich

National Research University of Electronic Technology
Russian Federation, Moscow
E-mail: glebov.alexey@gmail.com

Gevorgyan Aram Manukovich

National Research University of Electronic Technology
Russian Federation, Moscow
E-mail: argevman@yahoo.com

Modeling of digital CMOS circuit's consumed power using decisions diagrams

Abstract. Sizes of modern digital circuits make it necessary to develop electronic design automation tools which are providing sufficient accuracy and acceptable simulation time. The paper describes the logic simulation of digital CMOS circuits using binary (BDD) and ternary decision diagrams (TDD) representation. In case of TDD, to represent incompletely specified Boolean functions, in addition to the logical values of the functions 0 and 1 there is added the third value - U (undefined). There are used special types of decision diagrams, which are best suited for the simulation of digital CMOS circuits – serial parallel binary (SP BDD) and ternary (SP TDD) decision diagrams, which are the canonical representation of CMOS circuits. In the study is presented the algorithm of the program for power modeling of digital circuits, based on SP BDD and SP TDD. The estimation of power consumption during switching uses random sets of input signals. The undefined value of signal in TDD reduces the number of test vectors and makes it possible to obtain the required accuracy in fewer cycles of program (comparatively with BDD case). The results show that the use of the ternary decision diagrams enables estimation accuracy received by BDD, but requires at least one order less cycles for program.

Keywords: logic simulation; CMOS simulation; decision diagrams; binary decision diagrams; ternary decision diagrams; power estimation; serial-parallel decision diagrams; SP-TDD.

REFERENCES

1. Lee C.Y. Representation of switching circuits by binary-decision programs / The Bell System Technical Journal. 1959. Vol. 38. pp. 985-999.
2. Akers S.B. Binary decision diagrams / IEEE Trans. on Computers. 1978. Vol. C-27. pp. 509-516.
3. Kleene S.C. Introduction to Methamatematics. Amsterdam: North-Holland Publishing Co., 1952. 576 pp.
4. Perkowski M.A., Schaefer I., Sarabi A., Chrzanowska-Jeske M. Multi-level Logic Synthesis Based on Kronecker Decision Diagrams and Boolean Ternary Decision Diagrams for Incompletely Specified Functions // VLSI Design. 1995. Vol. 3, No. 3-4, pp. 301-313.
5. Bryant R.E. Graph-based algorithms for Boolean function manipulation / IEEE Trans. on Computers. 1986. Vol. C-35. pp. 677-691.
6. Aziz A., Tasiran S., Brayton R. BDD Variable Ordering for Interacting Finite State Machines // Proc. of the 31st annual Design Automation Conf. DAC '94. San Diego. 1994. pp. 283-288.
7. Glebov A.L. BDD Based Algorithms for Series-Parallel Network Representation and Manipulation // Fourth Int. Workshop on Design Automation Russian Workshop '94. Moscow. 1994. pp. 32-35.
8. Tiwari V., Ashar P., Malik S. Technology Mapping for Low Power // Proc. of the 30th Design Automation Conf. DAC '93. Dallas.1993. pp. 74-79.
9. Petrosyan V.S. Interval'naya otsenka potrebyaemoy skhemoy moshchnosti s pomoshch'yu troichnykh diagramm resheniy // «Aktual'nye problemy sovremennoy nauki v 21 veke»: mat. VII mezhdunar. nauch.- prakt. konf. Makhachkala: 2013. S. 26-28.
10. Aktual'nye problemy modelirovaniya v SAPR / Glebov A.L., Gurariy M.M., Zharov M.M., Egorov Yu.B., Rusakov S.G., Stempkovskiy A.L., Ul'yanov S.L. Moskva: Nauka, 2003. 436 S.
11. Gavrilo S.V., Glebov A.L., Stempkovskiy A.L. Analiz fatal'nykh pomekh v tsifrovyykh skhemakh na osnove metoda rezolyutsiy // Izvestiya vuzov. Elektronika. 2004. № 6, S. 64-72.
12. Kononov A.N., Mindeeva A.A., Petrosyan V.S., Manukyan A.A. Optimizatsiya mikrokonveyernoy arkhitektury, sproektirovannoyv bazise PLIS/SBMK // Fundamental'nye issledovaniya. 2013. № 4-5, S. 1065-1069.
13. Brace K., Rudell R., Bryant R. Efficient Implementation of a BDD Package // Proc. of the 27th Design Automation Conf. DAC '90. Orlando. 1990. pp. 40-45.
14. Gavrilo S., Glebov A., Pullela S., Moore S.C., Dharchoudhury A., Panda R., Vijayan G., Blaauw D.T. Library-less synthesis for static CMOS combinational logic circuits // Int. Conf. on Computer-Aided Design ICCAD '97. San Jose. 1997. pp 658-662.
15. Gavrilo S.V., Glebov A.L., Stempkovskiy A.L. Analiz pomekhoustoychivosti tsifrovyykh skhem na osnove logicheskikh implikatsiy // Izvestiya vuzov. Elektronika. 2002. № 5. S. 60-67.

16. Yuan J., Pixley C., Aziz A. Constraint-Based Verification. New York: Springer, 2006. 263 p.
17. Jennings G. Symbolic Incompletely Specified Functions for Correct Evaluation in the Presence of Indeterminate Input Values // Proc. of 28th Annual Hawaii Int. Conf. on System Sciences HICSS-28. Maui. 1995. pp. 23-31.
18. Iman S., Pedram M. Logic Extraction and Factorization for Low Power // Proc. of the 32st Design Automation Conf. DAC '95. San Francisco. 1995. pp. 248-250.
19. Modelirovanie tsifrovyykh KMOP skhem s ispol'zovaniem diagramm troichnykh resheniy / Glebov A.L., Mindeeva A.A., Petrosyan V.S., Gevorgyan A.M. // Sovremennye problemy nauki i obrazovaniya. Elektron. zhurn. 2013. № 4. <http://www.science-education.ru/pdf/2013/4/367.pdf> (data obrashcheniya: 20.03.2015).